

# Indice

<b>1</b>	<b>Introduzione</b>	<b>13</b>
1.1	Evoluzione dei sistemi elettronici . . . . .	13
1.1.1	Il problema dei costi . . . . .	15
1.2	Fasi di realizzazione di ASIC . . . . .	16
1.2.1	La modellizzazione . . . . .	17
1.2.2	La sintesi . . . . .	18
1.2.3	L'ottimizzazione . . . . .	20
1.2.4	La simulazione . . . . .	20
1.2.5	La verifica . . . . .	25
<b>I</b>	<b>Simulazione e verifica</b>	<b>27</b>
<b>2</b>	<b>La simulazione come strumento di analisi</b>	<b>29</b>
2.1	Tipologie di simulazione . . . . .	32
2.2	Ambiti della simulazione . . . . .	33
2.3	Strumenti di analisi dinamica . . . . .	33
2.3.1	Simulazione analogica a livello circuitale . . . . .	34
2.3.2	Simulazione a livello logico . . . . .	35
2.3.3	Simulazione ad alto livello . . . . .	36
2.4	Simulazione Monte Carlo . . . . .	38
<b>3</b>	<b>Modelli per la simulazione</b>	<b>43</b>
3.1	Funzionamento del transistor MOS . . . . .	44
3.1.1	La modulazione di canale . . . . .	49
3.1.2	La polarizzazione del substrato . . . . .	50
3.1.3	Caratterizzazione del rumore . . . . .	51
3.2	Modelli analogici per circuiti MOS . . . . .	55
3.2.1	Circuiti equivalenti a grande e piccolo segnale . . . . .	55
3.2.2	I modelli MOSFET di SPICE . . . . .	59
3.2.3	Modellizzazione avanzata MOSFET di SPICE . . . . .	63

3.3	Modelli digitali per porte logiche MOS . . . . .	70
3.3.1	Modello di ritardo lineare . . . . .	70
3.3.2	Modello di ritardo non lineare . . . . .	74
<b>4</b>	<b>Caratterizzazione di una porta</b>	<b>77</b>
4.1	Il programma SPICE . . . . .	77
4.1.1	Formato del file di ingresso . . . . .	79
4.2	Il programma PSpice . . . . .	87
4.2.1	Configurazione del programma di simulazione . . . . .	87
4.3	Esempio di caratterizzazione . . . . .	91
4.3.1	Progetto della porta logica . . . . .	92
4.3.2	Caratterizzazione del tempo di ritardo . . . . .	93
4.3.3	Caratterizzazione della capacità di ingresso . . . . .	98
4.3.4	Caratterizzazione della potenza dissipata . . . . .	101
4.3.5	Caratterizzazione delle curve statiche . . . . .	106
4.4	Modelli e caratteristiche dei transistori . . . . .	108
4.5	I modelli MOSIS . . . . .	113
<b>5</b>	<b>Simulazione analogica</b>	<b>115</b>
5.1	Simulatori time-driven . . . . .	115
5.2	Tecniche di analisi del transitorio . . . . .	115
5.2.1	Livello di equazioni lineari . . . . .	117
5.2.2	Livello di equazioni non lineari . . . . .	119
5.2.3	Livello di equazioni a tempo discreto . . . . .	120
5.2.4	Livello di equazioni differenziali . . . . .	121
<b>6</b>	<b>Simulazione digitale</b>	<b>127</b>
6.1	Strategie di simulazione . . . . .	127
6.1.1	Simulatori event-driven . . . . .	127
6.1.2	Simulatori cycle-based . . . . .	131
6.1.3	Tecniche alternative di simulazione . . . . .	134
6.2	Simulazione dei guasti . . . . .	136
6.2.1	Modelli di guasto . . . . .	141
6.2.2	Collaudo funzionale . . . . .	141
6.2.3	Circuiti sequenziali . . . . .	143
6.2.4	Classificazione dei guasti . . . . .	143
6.2.5	Ipotesi di guasto singolo . . . . .	146
6.2.6	Modelli di stuck-at . . . . .	147
6.2.7	Strategie di collaudo . . . . .	150

<b>7</b>	<b>Stima della potenza dissipata</b>	<b>157</b>
7.1	La potenza dissipata nei circuiti CMOS . . . . .	157
7.1.1	Tecniche di stima . . . . .	158
7.2	Stima a livello comportamentale . . . . .	159
7.2.1	Modelli basati su informazioni teoriche . . . . .	160
7.2.2	Modelli basati sulla complessità . . . . .	164
7.2.3	Modelli basati sulla sintesi . . . . .	165
7.3	Stima a livello RTL . . . . .	165
7.3.1	Modelli basati sulla regressione . . . . .	165
7.3.2	Modelli basati sul campionamento . . . . .	167
7.4	Stima a livello di porta . . . . .	168
7.4.1	Campionamento statistico . . . . .	168
7.4.2	Compattazione statistica . . . . .	170
7.4.3	Simulazione probabilistica . . . . .	172
7.5	Stima a livello di transistor . . . . .	173
<b>II</b>	<b>Sintesi ed ottimizzazione</b>	<b>175</b>
<b>8</b>	<b>Ottimizzazione di sistemi elettronici</b>	<b>177</b>
8.1	I grafi . . . . .	177
8.1.1	Grafi indiretti e diretti . . . . .	178
8.2	Algoritmi . . . . .	180
8.2.1	Classificazione in base alla natura della soluzione . . . . .	181
8.2.2	Classificazione in base alla tecnica di ricerca . . . . .	181
8.2.3	Classificazione in base al problema . . . . .	182
8.3	Tecniche di ottimizzazione . . . . .	184
8.3.1	Ottimizzazione vincolata . . . . .	188
8.4	Tecniche evolutive di ottimizzazione . . . . .	192
8.4.1	Algoritmo del Simulated Annealing . . . . .	192
8.4.2	Algoritmi genetici . . . . .	194
8.5	Tecniche di ottimizzazione per circuiti . . . . .	197
8.5.1	Ottimizzazione semi-infinita . . . . .	198
8.5.2	Ottimizzazione per criteri multipli . . . . .	198
8.5.3	Ottimizzazione minimax . . . . .	198
8.5.4	Ottimizzazione della resa . . . . .	199
8.6	Esempio di ottimizzazione circuitale . . . . .	201
<b>9</b>	<b>La sintesi architetturale</b>	<b>207</b>
9.1	Il modello per i problemi di scheduling . . . . .	208
9.1.1	Costruzione del grafo sequenziale . . . . .	208

9.2	Scheduling non vincolato . . . . .	210
9.2.1	Algoritmo ASAP . . . . .	210
9.2.2	Algoritmo ALAP . . . . .	212
9.3	Scheduling vincolato dal tempo . . . . .	213
9.3.1	Esempio di scheduling vincolato dal tempo . . . . .	214
9.4	Scheduling vincolato dalle risorse . . . . .	215
9.4.1	Algoritmo del force-directed scheduling . . . . .	218
9.5	Assegnazione delle risorse . . . . .	218
9.6	Condivisione delle risorse non funzionali . . . . .	219
<b>10</b>	<b>La sintesi logica</b>	<b>221</b>
10.1	Sistemi combinatori a due livelli . . . . .	221
10.2	Minimizzazione esatta a due livelli . . . . .	228
10.3	Minimizzazione euristica a due livelli . . . . .	229
10.3.1	Espansione . . . . .	229
10.3.2	Riduzione . . . . .	230
10.3.3	Cambiamento di forma . . . . .	231
10.3.4	Eliminazione della ridondanza . . . . .	232
10.4	Minimizzazione multilivello . . . . .	232
10.4.1	Eliminazione . . . . .	234
10.4.2	Decomposizione . . . . .	234
10.4.3	Semplificazione . . . . .	234
10.4.4	Estrazione . . . . .	234
10.4.5	Sostituzione . . . . .	235
10.5	Metodologie di ottimizzazione . . . . .	235
10.6	Considerazioni sulla testabilità . . . . .	236
10.7	Sistemi sequenziali . . . . .	238
10.7.1	Macchine di Moore e di Mealy . . . . .	238
10.7.2	Ottimizzazione della macchina a stati . . . . .	240
10.7.3	Codifica degli stati . . . . .	249
10.7.4	Sintesi della rete combinatoria . . . . .	250
<b>11</b>	<b>La sintesi geometrica</b>	<b>253</b>
11.1	Metodologie di realizzazione . . . . .	253
11.1.1	Progettazione Full Custom . . . . .	254
11.1.2	Progettazione Semi Custom Standard Cell . . . . .	258
11.1.3	Progettazione Semi Custom Cell Generators . . . . .	262
11.1.4	Progettazione Semi Custom Array Based . . . . .	263
11.2	Metodologie di layout . . . . .	266
11.3	Risoluzione dei problemi di sintesi . . . . .	267
11.3.1	Problema del partitioning . . . . .	267

11.3.2	Problema del floorplanning . . . . .	267
11.3.3	Problema del placement . . . . .	269
11.3.4	Problema del routing . . . . .	271
<b>12</b>	<b>Metodologie di progettazione</b>	<b>277</b>
12.1	I linguaggi descrittivi HDL . . . . .	277
12.1.1	Il Verilog . . . . .	279
12.2	Partizione del sistema . . . . .	279
12.3	Descrizione RTL di sistemi elettronici . . . . .	281
12.4	Sintesi RTL . . . . .	282
12.5	Esempio di progettazione . . . . .	283
12.5.1	Definizione del modello . . . . .	283
12.5.2	Simulazione del modulo . . . . .	287
12.5.3	Sintesi del modulo . . . . .	287
12.5.4	Mappatura del modulo . . . . .	293